

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-099255

(43)Date of publication of application : 11.04.1995

(51)Int.Cl.

H01L 21/8244

H01L 21/3205

H01L 27/11

(21)Application number : 05-232155

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.09.1993

(72)Inventor : SATO KAZUE
WATANABE TOKUO

(30)Priority

Priority number : 05143162

Priority date : 15.06.1993

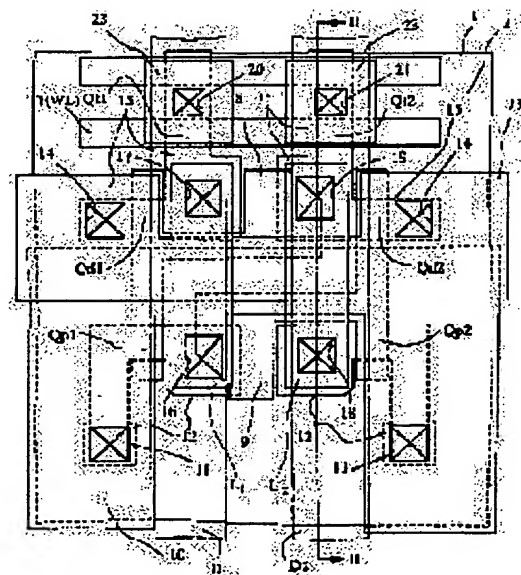
Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a technology, which makes compatible both the high- integration of the memory cell of an SRAM and the securing of operation reliability.

CONSTITUTION: Gate electrodes 7, 8 and 9, a power supply voltage line 10, a reference voltage line 13, local wirings L1 and L2 and complementary data lines (the first data line D1 and the second data line D2), which constitute the conducting layers of the memory cell of an SRAM are formed as the different conducting layers, respectively. The local wirings L1 and L2 and the reference voltage line 13 beneath the wirings are arranged so as to cross each other. A capacitor is formed at the crossing region.



LEGAL STATUS

[Date of request for examination]

18.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 9 9 2 5 5

(43) 公開日 平成 7 年 (1995) 4 月 1 1 日

技術表示箇所

(51) Int. Cl. ⁶

H01L 21/8244

21/3205

27/11

識別記号

庁内整理番号

F I

7210-4M

H01L 27/10

381

21/88

7

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号 特願平 5 - 2 3 2 1 5 5
(22) 出願日 平成 5 年 (1993) 9 月 20 日
(31) 優先権主張番号 特願平 5 - 1 4 3 1 6 2
(32) 優先日 平 5 (1993) 6 月 15 日
(33) 優先権主張国 日本 (J P)

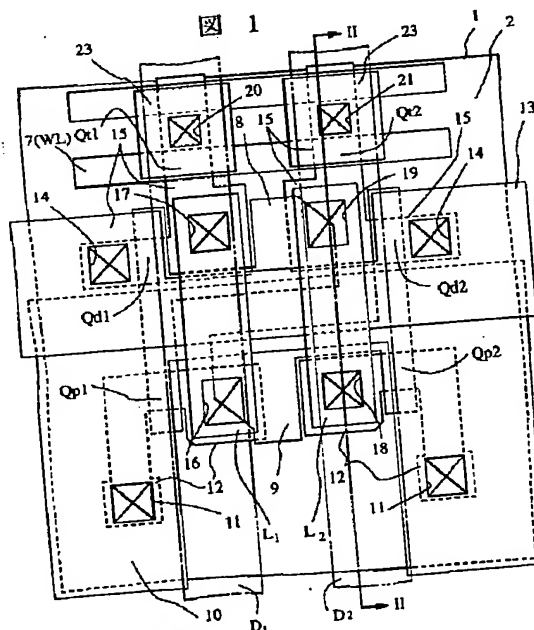
(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地
(72) 発明者 佐藤 和重
東京都青梅市今井 2 3 2 6 番地 株式会社
日立製作所デバイス開発センタ内
(72) 発明者 渡辺 篤雄
東京都青梅市今井 2 3 2 6 番地 株式会社
日立製作所デバイス開発センタ内
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】: SRAM のメモリセルの高集積化と動作信頼性の確保とを両立させる技術を提供する。

【構成】 SRAM のメモリセルの導電層を構成するゲート電極 7, 8, 9、電源電圧線 10、基準電圧線 13、局所配線 L₁, L₂ および相補性データ線 (第 1 データ線 D₁ および第 2 データ線 D₂) のそれぞれを異なる導電層に形成する。また、局所配線 L₁, L₂ とその下層の基準電圧線 13 とを互いに交差するように配置し、この交差領域に容量 (C s) を形成する。



7,8,9: ゲート電極
10: 電源電圧線 13: 基準電圧線
L₁, L₂: 局所配線

1

【特許請求の範囲】

【請求項 1】 駆動用 M I S F E T および負荷用 M I S F E T からなる一対の C M O S インバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続される一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置であって、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で前記一対の C M O S インバータの相互の入出力端子間を接続する一対の局所配線を構成し、前記基準電圧線と前記一対の局所配線とを互いに交差するように配置したことを特徴とする半導体集積回路装置。

【請求項 2】 前記基準電圧線と前記一対の局所配線との間の絶縁膜を窒化シリコン膜で構成したことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記基準電圧線を、メモリセルのほぼ全域を覆うように配置したことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 S O I 基板上に S R A M を形成したことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 5】 駆動用 M I S F E T および負荷用 M I S F E T からなる一対の C M O S インバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続される一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置であって、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で前記一対の C M O S インバータの相互の入出力端子間を接続する一対の局所配線を構成し、前記電源電圧線と前記一対の局所配線とを互いに交差するように配置したことを特徴とする半導体集積回路装置。

【請求項 6】 前記電源電圧線と前記一対の局所配線との間の絶縁膜を窒化シリコン膜で構成したことを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 7】 駆動用 M I S F E T および負荷用 M I S F E T からなる一対の C M O S インバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続される一対の転送用 M I S F E

2

T とでメモリセルを構成した S R A M を有する半導体集積回路装置であって、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で前記一対の C M O S インバータの相互の入出力端子間を接続する一対の局所配線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記基準電圧線と前記一対の局所配線および前記電源電圧線と前記一対の局所配線のそれぞれを互いに交差するように配置したことを特徴とする半導体集積回路装置。

【請求項 8】 駆動用 M I S F E T および負荷用 M I S F E T からなる一対の C M O S インバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続される一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置であって、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で前記一対の C M O S インバータの相互の入出力端子間を接続する一対の局所配線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記電源電圧線と前記一対の局所配線および前記基準電圧線と前記一対の局所配線のそれぞれを互いに交差するように配置したことを特徴とする半導体集積回路装置。

【請求項 9】 駆動用 M I S F E T および負荷用 M I S F E T からなる一対の C M O S インバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続される一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置であって、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で前記一対の C M O S インバータの相互の入出力端子間を接続する一対の局所配線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記基準電圧線と前記一対の局所配線とを互いに交差するように配置したことを特徴とする半導体集積回路装置。

【請求項 10】 駆動用 M I S F E T および負荷用 M I

50

3

S F E T からなる一対の C M O S インバータで構成されたフリップフロップ回路と、前記フリップフロップ回路の一対の入出力端子に接続される一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置であって、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T および負荷用 M I S F E T のそれぞれのゲート電極を構成し、前記駆動用 M I S F E T および負荷用 M I S F E T のそれぞれのソース領域、ドレイン領域を前記半導体基板の主面に形成し、前記第 1 導電膜より上の層に形成した第 2 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 1 導電膜より上の層に形成した第 3 導電膜で前記駆動用 M I S F E T のドレイン領域と前記負荷用 M I S F E T のドレイン領域とを接続する一対の局所配線を構成し、前記第 1 導電膜より上の層に形成した第 4 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記第 1、第 2 および第 3 導電膜を層間絶縁膜を介して互いに別層に形成し、前記基準電圧線と前記一対の局所配線および前記電源電圧線と前記一対の局所配線のそれぞれを互いに交差するように配置したことを特徴とする半導体集積回路装置。

【請求項 11】 請求項 1 ~ 請求項 10 のいずれか 1 項に記載の半導体集積回路装置であって、前記駆動用 M I S F E T と前記負荷用 M I S F E T の分離領域の対角線上のフィールド絶縁膜を後退させ、前記第 1 導電膜で構成されたゲート電極と前記半導体基板との間にゲート容量を形成したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、S R A M (Static Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】 半導体記憶装置としての S R A M は、相補性データ線とワード線との交差部にフリップフロップ回路と 2 個の転送用 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) とで構成されたメモリセルを備えている。

【0003】 上記メモリセルのフリップフロップ回路は、情報蓄積部として構成され、1 ビットの情報を記憶する。このフリップフロップ回路は、一例として一対の C M O S インバータで構成される。C M O S インバータのそれぞれは、n チャネル型の駆動用 M I S F E T と p チャネル型の負荷用 M I S F E T とで構成される。また、転送用 M I S F E T は n チャネル型で構成される。

【0004】 上記のような 6 個の M I S F E T で構成された S R A M のメモリセルの等価回路図を図 36 に示す。

【0005】 図示のように、一方の C M O S インバータ

4

(I N V₁) は、駆動用 M I S F E T Q_{d1} と負荷用 M I S F E T Q_{p1} とで構成され、他方の C M O S インバータ (I N V₂) は、駆動用 M I S F E T Q_{d2} と負荷用 M I S F E T Q_{p2} とで構成される。この一対の C M O S インバータ (I N V₁, I N V₂) の相互の入出力端子間には、一対の配線 (以下、局所配線という) L₁, L₂ を介して交差結合し、フリップフロップ回路を構成する。フリップフロップ回路の一端は電源電圧 (V_{cc}) に接続され、他端は基準電圧 (V_{ss}) に接続される。

10 【0006】 上記回路の動作を説明すると、一方の C M O S インバータ (I N V₁) の出力ノード (A) が高電位 ("H") であるときは、駆動用 M I S F E T Q_{d1} が O N になるので、他方の C M O S インバータ (I N V₂) の出力ノード (B) が低電位 ("L") になる。従って、駆動用 M I S F E T Q_{d1} が O F F になり、出力ノード (A) の高電位 ("H") が保持される。すなわち、一対の C M O S インバータ (I N V₁, I N V₂) を交差結合させたラッチ回路によって相互のノードの状態が保持され、電源電圧が印加されている間、情報が保存される。

20 【0007】 転送用 M I S F E T Q_{t1} のソース領域、ドレイン領域の一方は上記フリップフロップ回路の一方 (C M O S インバータ (I N V₁)) の入出力端子に接続され、他方は相補性データ線の方 (第 1 データ線 D₁) に接続される。転送用 M I S F E T Q_{t1} のソース領域、ドレイン領域の一方はフリップフロップ回路の他方 (C M O S インバータ (I N V₂)) の入出力端子に接続され、他方は相補性データ線の他方 (第 2 データ線 D₂) に接続される。

30 【0008】 上記 2 個の転送用 M I S F E T Q_{t1}, Q_{t2} のそれぞれのゲート電極にはワード線 W L が接続され、このワード線 W L によって転送用 M I S F E T Q_{t1}, Q_{t2} の導通、非導通が制御される。すなわち、ワード線 W L が高電位 ("H") であるときは、転送用 M I S F E T Q_{t1}, Q_{t2} が O N になり、ラッチ回路と相補性データ線とが電気的に接続されるので、ノード (A) とノード (B) の電位状態 ("H" または "L") が相補性データ線に現れ、メモリセルの情報として読み出される。また、これとは逆に相補性データ線の電位を強制的にノード (A) とノード (B) に与えることもできる。

【0009】 図 37 は、上記等価回路図で示される S R A M のメモリセルの平面構造 (パターンレイアウト) の 1 例である。

40 【0010】 メモリセルを構成する 6 個の M I S F E T、すなわち転送用 M I S F E T Q_{t1}, Q_{t2}、駆動用 M I S F E T Q_{d1}, Q_{d2} および負荷用 M I S F E T Q_{p1}, Q_{p2} のうち、転送用 M I S F E T Q_{t1}, Q_{t2} は、ワード線 W L と一体に構成された共通のゲート電極 50 を有している。このゲート電極 50 (ワード線 W

L) は、通常、多結晶シリコン膜（または多結晶シリコン膜と高融点金属シリサイド膜との積層膜であるポリサイド膜）で構成される。

【0011】フリップフロップ回路の一方のCMOSインバータ (INV₁) を構成する駆動用MISFETQ_d、および負荷用MISFETQ_pは、共通のゲート電極51を有している。また、他方のCMOSインバータ (INV₂) を構成する駆動用MISFETQ_d、および負荷用MISFETQ_pは、共通のゲート電極52を有している。これらのゲート電極51、52と、前記転送用MISFETQ_t、Q_tのゲート電極50（ワード線WL）とは、同一の工程で形成した同一の多結晶シリコン膜（またはポリサイド膜）で構成される。

【0012】上記ゲート電極50、51、52の上層には、電源電圧線53、基準電圧線54および一對のCMOSインバータ (INV₁、INV₂) の相互の入出力端子間を接続する一對の局所配線L₁、L₂が配置される。電源電圧線53、基準電圧線54および一對の局所配線L₁、L₂は、同一の工程で形成した同一の金属膜（アルミニウム合金、タングステンなど）で構成される。

【0013】上記電源電圧線53は、接続孔55、55を通じて負荷用MISFETQ_p、Q_pのそれぞれのソース領域に接続され、基準電圧線54は、接続孔56、56を通じて駆動用MISFETQ_d、Q_dのそれぞれのソース領域に接続される。一方の局所配線L₁の一端は、接続孔57を通じて負荷用MISFETQ_pのドレイン領域に接続され、他端は接続孔58を通じて駆動用MISFETQ_dのドレイン領域（転送用MISFETQ_tのソース領域、ドレイン領域の一方）と駆動用MISFETQ_d（負荷用MISFETQ_p）のゲート電極51とにそれぞれ接続される。また、他方の局所配線L₂の一端は、接続孔59を通じて負荷用MISFETQ_pのドレイン領域と駆動用MISFETQ_d（負荷用MISFETQ_p）のゲート電極52とにそれぞれ接続され、他端は接続孔60を通じて駆動用MISFETQ_dのドレイン領域（転送用MISFETQ_tのソース領域、ドレイン領域の一方）に接続される。

【0014】上記電源電圧線53、基準電圧線54および局所配線L₁、L₂の上層には、第2層目の金属膜（アルミニウム合金、タングステンなど）で構成された一對の相補性データ線（第1データ線D₁、および第2データ線D₂）が配置される。第1データ線D₁は、接続孔61およびパッド層62のそれぞれを介して転送用MISFETQ_tのソース領域、ドレイン領域の他方に接続され、第2データ線D₂は、接続孔63およびパッド層62のそれぞれを介して転送用MISFETQ_tのソース領域、ドレイン領域の他方に接続される。なお、パッド層62は、前記電源電圧線53、基準電圧線54および局所配線L₁、L₂と同じ第1層目の金属膜で構成され

る。

【0015】このように、上記SRAMは、メモリセルを構成する6個のMISFETのそれぞれのゲート電極を半導体基板上に形成した第1層目の多結晶シリコン膜（またはポリサイド膜）で構成し、電源電圧線、基準電圧線および一對の局所配線をこの多結晶シリコン膜（またはポリサイド膜）上に形成した第1層目の金属膜で構成し、一對の相補性データ線をこの金属膜上に形成した第2層目の金属膜で構成している。

【0016】

【発明が解決しようとする課題】本発明者の検討によれば、前述したSRAMは、メモリセルの高集積化を促進する上で限界がある。

【0017】すなわち、前記SRAMのメモリセルは、電源電圧線、基準電圧線および局所配線のそれぞれを同一の導電層（第1層目の金属膜）で構成している。そのため、メモリセルの高集積化を図ろうとすると、その時点での微細加工技術の限界までしかこれらのレイアウト間隔（図37に示すt₁、t₂、t₃）を縮小することができないので、この間隔（t₁、t₂、t₃）によってメモリセルの微細化が規定されてしまうという問題がある。

【0018】また、前記のSRAMは、メモリセルの高集積化と動作信頼性の確保とを両立させることが困難である。

【0019】一般に、SRAMのメモリセルは、その情報を一對のCMOSインバータのそれぞれの出力ノードに蓄積するので、情報を安定に保持し、動作信頼性を確保する観点からは、出力ノードに付加される容量（C_s）を大きくして蓄積電荷量の増大を図ることが不可欠であり、特に、前述したSRAMの場合は、出力ノードに接続される局所配線とその上下の導電層との間に形成される容量が問題となる。

【0020】ところが、前記SRAMの場合、局所配線との間で容量を形成し得る他の導電層は駆動用MISFET（負荷用MISFET）のゲート電極のみであるため、容量の増大を図るためには、局所配線と交差する領域（図38の網掛けパターンで示す領域）のゲート電極（51、52）の面積を大きくしなければならない。しかし、ゲート電極の面積増大は、すなわちメモリセルの面積増大を意味するため、前記SRAMは、メモリセルの微細化と容量の増大とを両立させることができない。

【0021】本発明の目的は、SRAMのメモリセルの高集積化を実現することのできる技術を提供することにある。

【0022】本発明の他の目的は、SRAMのメモリセルの高集積化と動作信頼性の確保とを両立させることのできる技術を提供することにある。

【0023】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 2 4 】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、下記の通りである。

【 0 0 2 5 】請求項 1 記載の S R A M は、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で一对の C M O S インバータの相互の入出力端子間を接続する一对の局所配線を構成し、前記基準電圧線と前記一对の局所配線とを互いに交差するように配置する。

【 0 0 2 6 】請求項 5 記載の S R A M は、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で一对の C M O S インバータの相互の入出力端子間を接続する一对の局所配線を構成し、前記電源電圧線と前記一对の局所配線とを互いに交差するように配置する。

【 0 0 2 7 】請求項 7 記載の S R A M は、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記駆動用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で一对の C M O S インバータの相互の入出力端子間を接続する一对の局所配線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記基準電圧線と前記一对の局所配線および前記電源電圧線と前記一对の局所配線のそれぞれを互いに交差するように配置する。

【 0 0 2 8 】請求項 8 記載の S R A M は、半導体基板の主面上に形成した第 1 導電膜で駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上層に形成した第 2 導電膜で前記負荷用 M I S F E T のソース領域に接続される電源電圧線を構成し、前記第 2 導電膜の上層に形成した第 3 導電膜で一对の C M O S インバータの相互の入出力端子間を接続する一对の局所配線を構成し、前記第 3 導電膜の上層に形成した第 4 導電膜で前記駆動

用 M I S F E T のソース領域に接続される基準電圧線を構成し、前記電源電圧線と前記一对の局所配線および前記基準電圧線と前記一对の局所配線のそれぞれを互いに交差するように配置する。

【 0 0 2 9 】請求項 1 1 記載の S R A M は、前記各請求項記載の S R A M において、前記駆動用 M I S F E T と前記負荷用 M I S F E T の分離領域の対角線上のフィールド絶縁膜を後退させ、前記第 1 導電膜で構成されたゲート電極と前記半導体基板との間にゲート容量を形成する。

【 0 0 3 0 】

【作用】上記した手段によれば、電源電圧線、基準電圧線、局所配線のそれぞれを異なる導電層に形成することにより、メモリセルの寸法は、主としてゲート電極、素子形成領域および素子形成領域間の分離幅のみによって制約され、電源電圧線、基準電圧線、局所配線のそれぞれの寸法には制約されなくなる。従って、メモリセルの面積を大幅に縮小することができる。

【 0 0 3 1 】また、局所配線を電源電圧線または基準電圧線もしくはそれらの双方と交差して配置することにより、これらの交差領域に容量が形成される。本発明では、前記のように電源電圧線、基準電圧線、局所配線のそれぞれの寸法がメモリセルの面積を制約する主な要因ではないので、メモリセルの面積を縮小してもこの交差領域の面積を大きくすることができる。すなわち、上記の容量を大きくして蓄積電荷量の増大を図ることができるので、メモリセルを微細化した場合でも、情報を安定に保持し、動作信頼性を確保することができる。

【 0 0 3 2 】また、上記した手段によれば、駆動用 M I S F E T と負荷用 M I S F E T の分離領域の対角線上のフィールド絶縁膜を後退させることにより、メモリセルの面積を大きくすることなくゲート容量を形成することができる。これにより、メモリセルを微細化した場合でも、ラッチアップ耐性を劣化させることなく蓄積電荷量を増大することができるので、情報を安定に保持し、動作信頼性を確保することができる。

【 0 0 3 3 】

【実施例】以下、実施例を用いて本発明を詳述する。なお、実施例を説明するための全図において同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【 0 0 3 4 】（実施例 1）図 1 6 は、本発明の一実施例である S R A M の全体の概略構成（チップレイアウト）図である。

【 0 0 3 5 】長方形の半導体チップ（基板）1 の主面には、例えば 4 メガビット [M b i t] 以上の記憶容量を有する S R A M が形成されている。この S R A M のメモリセル領域は、4 個のメモリセルアレイで構成されている。これらのメモリセルアレイのそれぞれには、後述する 6 個の M I S F E T で構成されたメモリセルがマトリクス

状に多数配置されている。メモリセルアレイへのアドレス入力は、入力バッファ、X系デコーダ、ワードドライバなどの周辺回路を通じて行われる。また、メモリセルアレイからのデータ出力は、Yデコーダ、センスアンプ、出力バッファなどの周辺回路を通じて行われる。これらの周辺回路は、CMOS回路あるいはMISFETとバイポーラトランジスタとを組み合わせた回路（バイポーラ-CMOS回路）で構成され、メモリセルアレイの周囲に配置される。

【0036】次に、本実施例のSRAMのメモリセルの構造を具体的に説明する。図1はメモリセルMCを構成する導電層のレイアウトを示す平面図、図2は図1のII-II線における半導体チップ（基板）1の断面図、図3はメモリセルMCの等価回路図、図4～図8は、図1に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【0037】図1および図3に示すように、SRAMのメモリセルMCは、6個のMISFET、すなわち転送用MISFET Q_{t1} 、 Q_{t2} 、駆動用MISFET Q_{d1} 、 Q_{d2} 、および負荷用MISFET Q_{p1} 、 Q_{p2} で構成される。駆動用MISFET Q_{d1} 、および負荷用MISFET Q_{p1} はCMOSインバータ（ INV_1 ）を構成し、駆動用MISFET Q_{d2} 、および負荷用MISFET Q_{p2} はCMOSインバータ（ INV_2 ）を構成する。そして、この一対のCMOSインバータ（ INV_1 、 INV_2 ）でフリップフロップ回路が構成される。このフリップフロップ回路の一端は電源電圧（ V_{cc} ）に接続され、他端は基準電圧（ V_{ss} ）に接続される。電源電圧

（ V_{cc} ）は、例えば5Vであり、基準電圧（ V_{ss} ）は、例えば0V（GND電位）である。

【0038】図1、図2および図4に示すように、上記6個のMISFETは、 p^+ 型シリコン単結晶からなる半導体基板1のフィールド絶縁膜2で囲まれた活性領域（図4の網掛けパターンで示す領域）に形成される。駆動用MISFET Q_{d1} 、 Q_{d2} 、および転送用MISFET Q_{t1} 、 Q_{t2} はnチャネル型で構成され、 p 型ウエル3の活性領域に形成される。負荷用MISFET Q_{p1} 、 Q_{p2} は p チャネル型で構成され、 n 型ウエル4の活性領域に形成される。

【0039】図1、図2および図5に示すように、転送用MISFET Q_{t1} 、 Q_{t2} は、ワード線WLと一体に構成された共通のゲート電極7を有している。このゲート電極7（ワード線WL）は、第1層目の多結晶シリコン膜（またはポリサイド膜）で構成される。前記フリップフロップ回路の一方のCMOSインバータ（ INV_1 ）を構成する駆動用MISFET Q_{d1} 、および負荷用MISFET Q_{p1} は、共通のゲート電極8を有し、他方のCMOSインバータ（ INV_2 ）を構成する駆動用MISFET Q_{d2} 、および負荷用MISFET Q_{p2} は、共通のゲート電極9を有している。これらのゲート電極8、

9は、前記転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極7（ワード線WL）と同じ第1層目の多結晶シリコン膜（またはポリサイド膜）で構成される。ゲート電極7、8、9を構成するこの多結晶シリコン膜には、 n 型の不純物（例えばP）が導入される。

【0040】図1、図2および図6に示すように、メモリセルMCを構成する6個のMISFETのゲート電極7、8、9の上層には、酸化シリコンの絶縁膜26、41を介して電源電圧線10が形成される。この電源電圧線10は、接続孔11、11を通じて負荷用MISFET Q_{p1} 、 Q_{p2} のそれぞれのソース領域（ p 型半導体領域12）に接続される。電源電圧線10は、第2層目の多結晶シリコン膜（またはポリサイド膜）で構成される。電源電圧線10は、負荷用MISFET Q_{p1} 、 Q_{p2} の p 型半導体領域12、12に接続されるので、この多結晶シリコン膜には、 p 型の不純物（例えばホウ素（B））が導入される。

【0041】図1、図2および図7に示すように、上記電源電圧線10の上層には、酸化シリコンの絶縁膜42を介して基準電圧線13が形成される。この基準電圧線13は、接続孔14、14を通じて駆動用MISFET Q_{d1} 、 Q_{d2} のそれぞれのソース領域（ n 型半導体領域15）に接続される。基準電圧線13は、第3層目のポリサイド膜（または多結晶シリコン膜と高融点金属膜との積層膜）で構成される。基準電圧線13は、駆動用MISFET Q_{d1} 、 Q_{d2} の n 型半導体領域15、15に接続されるので、この多結晶シリコン膜には、 n 型の不純物（例えばP）が導入される。

【0042】図1、図2および図8に示すように、上記基準電圧線13の上層には、酸化シリコンの絶縁膜43を介して局所配線 L_1 、 L_2 が形成される。これらの局所配線 L_1 、 L_2 とその下層の基準電圧線13とは、メモリセルMCの上で互いに交差するように配置される。

【0043】上記局所配線 L_1 の一端は、接続孔16を通じて負荷用MISFET Q_{p1} のドレイン領域（ p 型半導体領域12）および駆動用MISFET Q_{d1} （負荷用MISFET Q_{p2} ）のゲート電極9にそれぞれ接続され、他端は接続孔17を通じて駆動用MISFET Q_{d2} のドレイン領域（ n 型半導体領域15）に接続され

る。また、局所配線 L_2 の一端は、接続孔18を通じて負荷用MISFET Q_{p2} のドレイン領域（ p 型半導体領域12）に接続され、他端は接続孔19を通じて駆動用MISFET Q_{d2} のドレイン領域（ n 型半導体領域15）および駆動用MISFET Q_{d1} （負荷用MISFET Q_{p1} ）のゲート電極8にそれぞれ接続される。局所配線 L_1 、 L_2 は第1層目の金属膜（アルミニウム合金あるいはタングステンなどの高融点金属）で構成される。

【0044】図1および図2に示すように、上記局所配線 L_1 、 L_2 の上層には、スピンオンガラス膜と酸化シリコン膜との積層膜で構成された層間絶縁膜44を介して

一对の相補性データ線（第1データ線D₁、および第2データ線D₂）が形成される。第1データ線D₁は、接続孔20を通じて転送用MISFETQ_{t1}のソース領域、ドレイン領域の一方（n型半導体領域15）の上に形成されたパッド層23に接続され、第2データ線D₂は、接続孔21を通じて転送用MISFETQ_{t2}のソース領域、ドレイン領域の一方（n型半導体領域15）の上に形成されたパッド層23に接続される。パッド層23、23は、前記基準電圧線13と同じ第3層目のポリサイド膜（または多結晶シリコン膜と高融点金属膜との積層膜）で構成される。また、相補性データ線（第1データ線D₁、および第2データ線D₂）は、第2層目の金属膜（アルミニウム合金あるいはタングステンなど）で構成される。

【0045】本実施例のメモリセルMCの導電層を構成する前記ゲート電極7、8、9、電源電圧線10、基準電圧線13、局所配線L₁、L₂、および相補性データ線（第1データ線D₁、および第2データ線D₂）の階層構造を図9に示す。また、このメモリセルMC4個分の導電層のレイアウトを図10に示す。

【0046】このように、本実施例のSRAMのメモリセルMCは、従来技術が同一の導電層に形成していた電源電圧線10、基準電圧線13、局所配線L₁、L₂のそれぞれを異なる導電層に形成する。これにより、これらのレイアウト間隔によってメモリセルMCの微細化が制約されなくなるので、メモリセルMCの面積を大幅に縮小することができる。すなわち、本実施例によれば、図7、図8に示したように、従来技術で必要とされていた間隔（前記図30に示すt₁、t₂）による制約が無くなるので、それに相当する分、メモリセルMCの面積を縮小することができる。また、図6、図10に示したように、従来技術で必要とされていた間隔（前記図30に示すt₃）による制約が無くなるので、それに相当する分、メモリセルMCの面積を縮小することができる。具体的には、図10に示すように、隣接するメモリセルMCの間隔（t₄）を従来技術に比べて縮小することができる。

【0047】また、本実施例のメモリセルMCは、情報が蓄積されるCMOSインバータ（INV₁、INV₂）の出力ノードに接続される局所配線L₁、L₂とその下層の基準電圧線13とを互いに交差するように配置する。これにより、この局所配線L₁、L₂とその下層の導電層（本実施例では基準電圧線13）とが重なる領域（図11の網掛けパターンで示す領域）に形成される容量（Cs）を大きくして蓄積電荷量の増大を図ることができるので、メモリセルMCを微細化した場合でも、情報を安定に保持し、動作信頼性を確保することができる。

【0048】なお、本実施例のメモリセルMCは、上記の構成に限定されない。例えば周辺回路の一部をバイポーラ-CMOS回路で構成する場合には、図12に示すように、半導体基板1のp型ウエル3の下部にp⁺型埋

込み層5を形成し、n型ウエル4の下部にn⁺型埋込み層6を形成してもよい。この場合、周辺回路には一例として図13に示すnpn型バイポーラトランジスタQbが形成される。

【0049】同図において、30はコレクタ取出し領域を構成するn⁺型半導体領域、31はベース領域を構成するp⁺型半導体領域、32はエミッタ領域を構成するn⁺型半導体領域である。このn⁺型半導体領域32には接続孔33を通じてエミッタ引出し電極34が接続される。このエミッタ引出し電極34は、前記メモリセルMCの基準電圧線13と同じ第3層目のポリサイド膜（または多結晶シリコン膜と高融点金属膜との積層膜）で構成される。また、コレクタ取出し領域30、ベース領域31、エミッタ引出し電極34のそれぞれには、接続孔35、36、37を通じて配線38、39、40が接続される。これらの配線38、39、40は、前記メモリセルMCの相補性データ線（第1データ線D₁、および第2データ線D₂）と同じ第2層目の金属膜で構成される。

【0050】また、周辺回路の一部をバイポーラ-CMOS回路で構成する場合には、図14に示すように、p型ウエル3とn型ウエル4との境界部のフィールド絶縁膜2に半導体基板1に達する素子分離用のU溝24を形成してもよい。このU溝24の内部には酸化シリコンなどの絶縁膜が埋め込まれる。この場合は、U溝24によってウエルおよび埋込み層の分離が確実に行われるので、p型ウエル3の下部にp⁺型埋込み層5を形成する必要はない。すなわち、p型ウエル3の下部にはn型ウエル4の下部と同じn⁺型埋込み層6を形成すればよいので、p⁺型埋込み層5を形成する工程が不要となり、SRAMの製造工程を短縮することができる。

【0051】また、図15に示すように、n⁺型埋込み層6と半導体基板1との間に酸化シリコンなどの絶縁層25を設けた、いわゆるSOI（Silicon On Insulator）基板上に本実施例のSRAMを形成してもよい。この場合は、基板容量を低減することができるので、SRAMの動作速度を向上させることができる。また、CMOS回路のラッチアップ耐性を向上させ、メモリセルMCのα線ソフトエラー耐性を向上させることができる。

【0052】（実施例2）図17は本実施例のメモリセルMCを構成する導電層のレイアウトを示す平面図、図18は図17のXVIII-XVIII線における半導体チップ（基板）1の断面図、図19は導電層の階層構造を示す図である。

【0053】前記実施例1のメモリセルMCは、電源電圧線10の上層に基準電圧線13を形成し、さらにその上層に局所配線L₁、L₂を形成したが、本実施例のメモリセルMCは、基準電圧線13の上層に電源電圧線10を形成し、さらにその上層に局所配線L₁、L₂を形成する。

【0054】すなわち、本実施例のメモリセルMCは、図17～19に示すように、メモリセルMCを構成する6個のMISFETのゲート電極7、8、9の上層に第2層目の多結晶シリコン膜（またはポリサイド膜）で基準電圧線13を形成し、この基準電圧線13の上層に第3層目のポリサイド膜（または多結晶シリコン膜と高融点金属膜との積層膜）で電源電圧線10を形成し、この電源電圧線10の上層に第1層目の金属膜で局所配線L₁, L₂を形成する。そして、この一对の局所配線L₁, L₂とその下層の電源電圧線10とをメモリセルMCの上で互いに交差するように配置する。

【0055】上記のように構成された本実施例によれば、基準電圧線13、電源電圧線10、局所配線L₁, L₂のそれぞれを異なる導電層に形成するので、これらのレイアウト間隔によってメモリセルMCの微細化が制約されなくなり、メモリセルMCの面積を大幅に縮小することができる。

【0056】また、本実施例によれば、局所配線L₁, L₂とその下層の電源電圧線10とを互いに交差するように配置するので、両者が重なる領域（図20の網掛けパターンで示す領域）に形成される容量（Cs）を大きくして蓄積電荷量の増大を図ることができ、メモリセルMCを微細化した場合でも、情報を安定に保持し、動作信頼性を確保することができる。

【0057】（実施例3）図21は本実施例のメモリセルMCを構成する導電層のレイアウトを示す平面図、図22は図21のXXII-XXII線における半導体チップ（基板）1の断面図、図23は導電層の階層構造を示す図である。

【0058】図21～図23に示すように、本実施例のメモリセルMCは、メモリセルMCを構成する6個のMISFETのゲート電極7、8、9の上層に第2層目の多結晶シリコン膜（またはポリサイド膜）で電源電圧線10を形成し、この電源電圧線10の上層に第3層目のポリサイド膜（または多結晶シリコン膜と高融点金属膜との積層膜）で局所配線L₁, L₂を形成し、この局所配線L₁, L₂の上層に第1層目の金属膜で基準電圧線13を形成する。また、このとき電源電圧線10と局所配線L₁, L₂および基準電圧線13と局所配線L₁, L₂のそれぞれをメモリセルMCの上で互いに交差するように配置する。

【0059】上記のように構成された本実施例によれば、電源電圧線10、局所配線L₁, L₂、基準電圧線13のそれぞれを異なる導電層に形成するので、これらのレイアウト間隔によってメモリセルMCの微細化が制約されなくなり、メモリセルMCの面積を大幅に縮小することができる。

【0060】また、本実施例によれば、局所配線L₁, L₂とその下層の電源電圧線10との間に容量（Cs）を形成すると共に、局所配線L₁, L₂とその上層の基準電

圧線13との間にも容量（Cs）を形成するので、メモリセルMCの蓄積電荷量を大幅に増大させることができ、メモリセルMCを微細化した場合でも、情報を安定に保持し、動作信頼性を確保することができる。

【0061】なお、電源電圧線10と基準電圧線13とを上記とは逆の配置にした場合でも本実施例と同様の効果を得ることができる。すなわち、ゲート電極7、8、9の上層に第2層目の多結晶シリコン膜（またはポリサイド膜）で基準電圧線13を形成し、この基準電圧線13の上層に第3層目のポリサイド膜（または多結晶シリコン膜と高融点金属膜との積層膜）で局所配線L₁, L₂を形成し、この局所配線L₁, L₂の上層に第1層目の金属膜で電源電圧線10を形成し、電源電圧線10と局所配線L₁, L₂および基準電圧線13と局所配線L₁, L₂のそれぞれをメモリセルMCの上で互いに交差するように配置してもよい。

【0062】（実施例4）図24は本実施例のメモリセルMCを構成する導電層のレイアウトを示す平面図、図25は図24のXXV-XXV線における半導体チップ（基板）1の断面図である。

【0063】本実施例のメモリセルMCは、前記実施例1と同様、ゲート電極7、8、9の上層に電源電圧線10を形成し、電源電圧線10の上層に基準電圧線13を形成し、さらに基準電圧線13の上層にこの基準電圧線13と交差して局所配線L₁, L₂を形成する。このとき、本実施例では、基準電圧線13上の酸化シリコンで構成された絶縁膜43に接続孔46を形成し、この絶縁膜43の上に窒化シリコン膜（または窒化シリコン膜と酸化シリコン膜との積層膜）45を薄く堆積する。このようにすると、接続孔46の内部では基準電圧線13の上に窒化シリコン膜45を介して局所配線L₁, L₂が形成されることになる。

【0064】上記のように構成された本実施例によれば、基準電圧線13と局所配線L₁, L₂との間の絶縁膜を酸化シリコン膜よりも誘電率の高い材料である窒化シリコン膜45で構成することにより、基準電圧線13と局所配線L₁, L₂との間に形成される容量（Cs）を前記実施例1のメモリセルMCに比べて大きくすることができる。従って、メモリセルMCの蓄積電荷量を大幅に増大させることができ、メモリセルMCを微細化した場合でも、情報を安定に保持し、動作信頼性を確保することができる。

【0065】なお、前記実施例2のように、局所配線L₁, L₂と電源電圧線10との間に容量（Cs）を形成する場合には、電源電圧線10上の酸化シリコンで構成された絶縁膜43に接続孔46を形成し、この絶縁膜43の上に窒化シリコン膜45を薄く堆積することにより、本実施例と同様の効果を得ることができる。

【0066】（実施例5）図26は本実施例のメモリセルMCを構成する導電層のレイアウトを示す平面図、図

27は図26のXXVII-XXVII線における半導体チップ(基板)1の断面図、図28、図29は、図26に示す導電層のレイアウトを階層毎に分けて示す平面図である。なお、第1導電膜よりも上層の構成は、前記実施例1~実施例4で説明した構成と同一であるため、その図示は省略する。

【0067】図26~図29に示すように、本実施例のメモリセルMCは、駆動用MISFETQd₁, Qd₂と負荷用MISFETQp₁, Qp₂の分離領域の対角線上のフィールド絶縁膜2を後退させ、ゲート電極8とp型ウエル3との間にゲート容量Cg₁を形成し、ゲート電極9とn型ウエル4との間にゲート容量Cg₂を形成する。

【0068】前記実施例1~実施例4のメモリセルMCは、nチャネル型の駆動用MISFETQd₁, Qd₂をp型ウエル3の主面に形成し、pチャネル型の負荷用MISFETQp₁, Qp₂をn型ウエル4の主面に形成する。このとき、駆動用MISFETQd₁, Qd₂のn型半導体領域15と負荷用MISFETQp₁, Qp₂のp型半導体領域12とは、ラッチアップを防止するために、図30に示すようにフィールド絶縁膜2からなる分離領域によって所定の距離(L')だけ電気的に遮断される。

【0069】しかしながら、前記のように構成された本実施例の場合は、対角線上のフィールド絶縁膜2を後退させても、図31に示すように、ゲート電極9によってp型半導体領域12の位置を規制できるので、n型半導体領域15とp型半導体領域12との距離(L)を実施例1~実施例4の場合と同じ(L=L')にすることができる。すなわち、本実施例によれば、メモリセルMCの面積を大きくすることなくゲート容量Cg₁を形成することができる。これは、ゲート電極8とp型ウエル3との間に形成されるゲート容量Cg₁の場合も同様である。

【0070】このように、本実施例によれば、メモリセルMCを微細化した場合でも、ラッチアップ耐性を劣化させることなく蓄積電荷量を増大することができるので、情報を安定に保持し、動作信頼性を確保することができる。

【0071】また、図32に示すように、駆動用MISFETQd₁, Qd₂と負荷用MISFETQp₁, Qp₂の分離領域のフィールド絶縁膜2にU溝24を設けることにより、ラッチアップの発生をほぼ完全に防止することができるので、メモリセルMCの微細化を一層促進することができる。

【0072】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0073】例えば前記実施例1のように、基準電圧線

13と局所配線L₁, L₂との間で容量(Cs)を形成する場合には、図33に示すように、電源電圧線10の面積を縮小してメモリセルMCの端部に配置してもよい。

【0074】また、図34に示すように、第2層目の多結晶シリコン膜(またはポリサイド膜)で基準電圧線13を形成し、第3層目のポリサイド膜(または多結晶シリコン膜と高融点金属膜との積層膜)で局所配線L₁, L₂を形成し、この局所配線L₁, L₂の上層の第1層目の金属膜で電源電圧線10を形成し、基準電圧線13と局所配線L₁, L₂との間で容量(Cs)を形成する場合にも、電源電圧線10の面積を縮小してメモリセルMCの端部に配置してもよい。なお、図34において、47は電源電圧線10と同じ第1層目の金属膜で形成された中間導電層である。この中間導電層47は、接続孔48を通じて相補性データ線(第1データ線D₁、および第2データ線D₂)と接続される。

【0075】また、図35に示すように、接続孔16~21の形成領域を除くメモリセルMCのほぼ全面を基準電圧線13で覆うようにしてもよい。このようにすると、基準電圧線13の抵抗値を低減することができるので、SRAMの高速化を図ることができる。

【0076】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0077】(1). 本発明によれば、電源電圧線、基準電圧線、局所配線のそれぞれを異なる導電層に形成することにより、メモリセルの寸法が電源電圧線、基準電圧線、局所配線のそれぞれの寸法によって制約されなくなるので、SRAMのメモリセルの面積を大幅に縮小することができる。

【0078】(2). 本発明によれば、メモリセルの面積を縮小しても、局所配線と電源電圧線(または局所配線と基準電圧線)との交差領域の面積を大きくできるので、これらの交差領域に形成される容量を大きくして蓄積電荷量の増大を図ることができ、メモリセルを微細化した場合でも、情報を安定に保持し、動作信頼性を確保することができる。

【0079】(3). 本発明によれば、メモリセルの面積を大きくすることなくゲート容量を形成することができるので、メモリセルを微細化した場合でも、ラッチアップ耐性を劣化させることなく蓄積電荷量を増大することができる。

【図面の簡単な説明】

【図1】本発明の一実施例であるSRAMのメモリセルを構成する導電層のレイアウトを示す平面図である。

【図2】図1のII-II線における半導体チップ(基板)の断面図である。

【図3】本発明の一実施例であるSRAMのメモリセルの等価回路図である。

【図 4】図 1 に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【図 5】図 1 に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【図 6】図 1 に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【図 7】図 1 に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【図 8】図 1 に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【図 9】本発明の一実施例である SRAM のメモリセルを構成する導電層の階層構造を示す図である。

【図 10】本発明の一実施例である SRAM のメモリセル 4 個分の導電層のレイアウトを示す平面図である。

【図 11】本発明の一実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 12】本発明の他の実施例である SRAM のメモリセルを示す半導体チップ（基板）の断面図である。

【図 13】本発明の他の実施例である SRAM の周辺回路の一部を示す半導体チップ（基板）の断面図である。

【図 14】本発明の他の実施例である SRAM のメモリセルを示す半導体チップ（基板）の断面図である。

【図 15】本発明の他の実施例である SRAM のメモリセルを示す半導体チップ（基板）の断面図である。

【図 16】本発明の一実施例である SRAM の全体の概略構成（チップレイアウト）図である。

【図 17】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 18】図 17 の XVIII - XVIII 線における半導体チップ（基板）の断面図である。

【図 19】本発明の他の実施例である SRAM のメモリセルを構成する導電層の階層構造を示す図である。

【図 20】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 21】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 22】図 21 の XXII - XXII 線における半導体チップ（基板）の断面図である。

【図 23】本発明の他の実施例である SRAM のメモリセルを構成する導電層の階層構造を示す図である。

【図 24】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 25】図 24 の XXV - XXV 線における半導体チップ（基板）の断面図である。

【図 26】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図であ

る。

【図 27】図 26 の XXVII - XXVII 線における半導体チップ（基板）の断面図である。

【図 28】図 26 に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【図 29】図 26 に示す導電層のレイアウトを階層毎に分けて示す平面図である。

【図 30】駆動用 MISFET と負荷用 MISFET の分離領域を示す半導体チップ（基板）の断面図である。

10 【図 31】駆動用 MISFET と負荷用 MISFET の分離領域を示す半導体チップ（基板）の断面図である。

【図 32】本発明の他の実施例である SRAM のメモリセルを示す半導体チップ（基板）の平面図である。

【図 33】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 34】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

20 【図 35】本発明の他の実施例である SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 36】従来の SRAM のメモリセルの等価回路図である。

【図 37】従来の SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【図 38】従来の SRAM のメモリセルを構成する導電層のレイアウトを示す平面図である。

【符号の説明】

1 半導体基板（チップ）

2 フィールド絶縁膜

3 p 型ウエル

4 n 型ウエル

5 p⁺ 型埋込み層

6 n⁺ 型埋込み層

7 ゲート電極

8 ゲート電極

9 ゲート電極

10 電源電圧線

11 接続孔

12 p 型半導体領域

13 基準電圧線

14 接続孔

15 n 型半導体領域

16 接続孔

17 接続孔

18 接続孔

19 接続孔

20 接続孔

50 21 接続孔

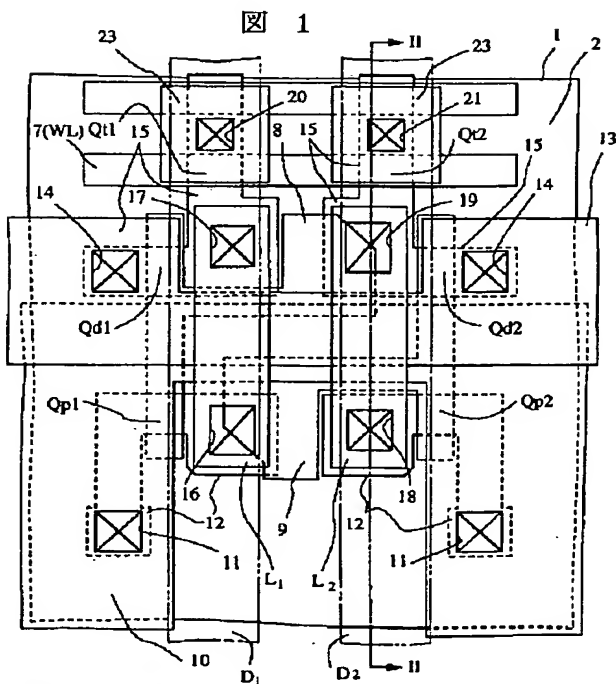
19

20

- 2 3 パッド層
- 2 4 U 溝
- 2 5 絶縁層
- 2 6 絶縁膜
- 3 0 n' 型半導体領域 (コレクタ領域)
- 3 1 p' 型半導体領域 (ベース領域)
- 3 2 n' 型半導体領域 (エミッタ領域)
- 3 3 接続孔
- 3 4 エミッタ引出し電極
- 3 5 接続孔
- 3 6 接続孔
- 3 7 接続孔
- 3 8 配線
- 3 9 配線
- 4 0 配線
- 4 1 絶縁膜
- 4 2 絶縁膜
- 4 3 絶縁膜
- 4 4 層間絶縁膜
- 4 5 窒化シリコン膜
- 4 6 接続孔
- 4 7 中間導電層
- 4 8 接続孔
- 5 0 ゲート電極
- 5 1 ゲート電極

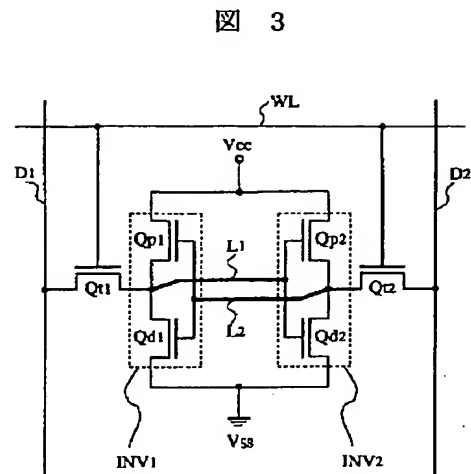
- 5 2 ゲート電極
- 5 3 電源電圧線
- 5 4 基準電圧線
- 5 5 接続孔
- 5 6 接続孔
- 5 7 接続孔
- 5 8 接続孔
- 5 9 接続孔
- 6 0 接続孔
- 10 6 1 接続孔
- 6 2 パッド層
- 6 3 接続孔
- D₁ 第 1 データ線
- D₂ 第 2 データ線
- L₁ 局所配線
- L₂ 局所配線
- MC メモリセル
- Q_{d1} 駆動用 MISFET
- Q_{d2} 駆動用 MISFET
- 20 Q_{p1} 負荷用 MISFET
- Q_{p2} 負荷用 MISFET
- Q_{t1} 転送用 MISFET
- Q_{t2} 転送用 MISFET
- Q_b n p n 型バイポーラトランジスタ
- WL ワード線

【図 1】



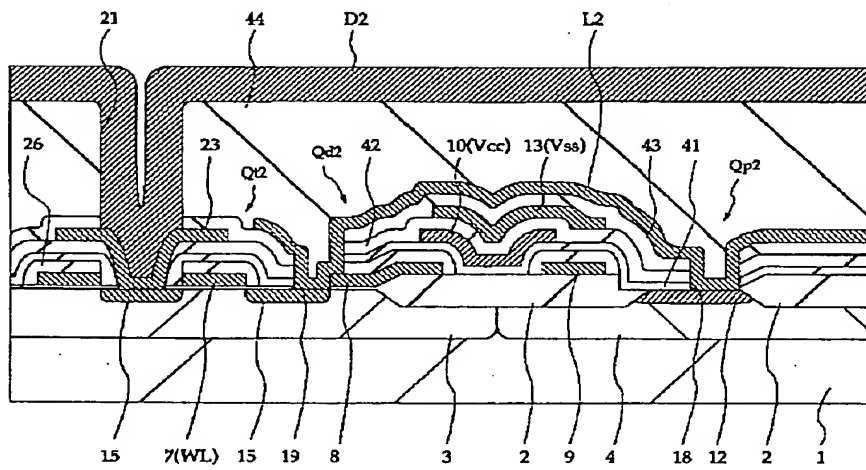
7,8,9: ゲート電極
 10: 電源電圧線 13: 基準電圧線
 L₁, L₂: 局所配線

【図 3】



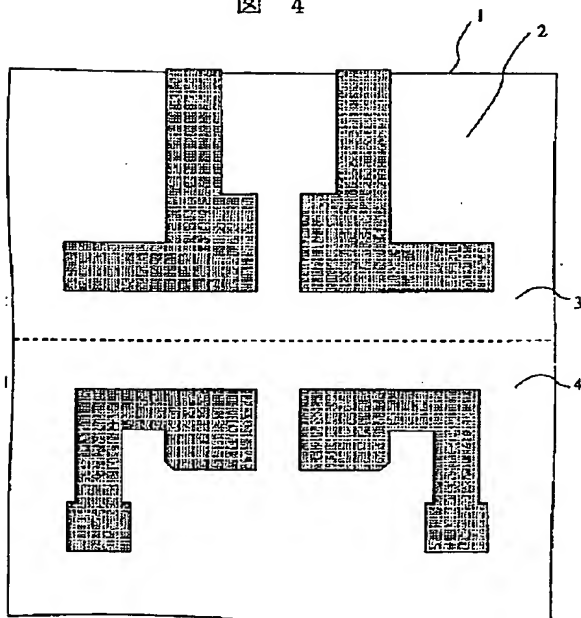
【図 2】

図 2



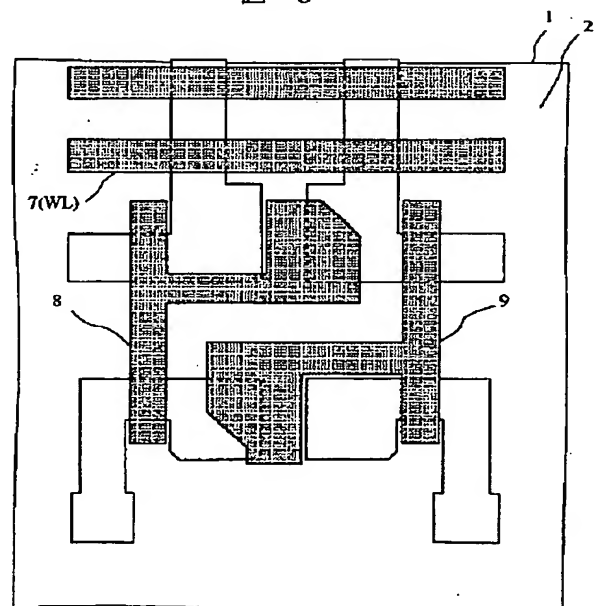
【図 4】

図 4



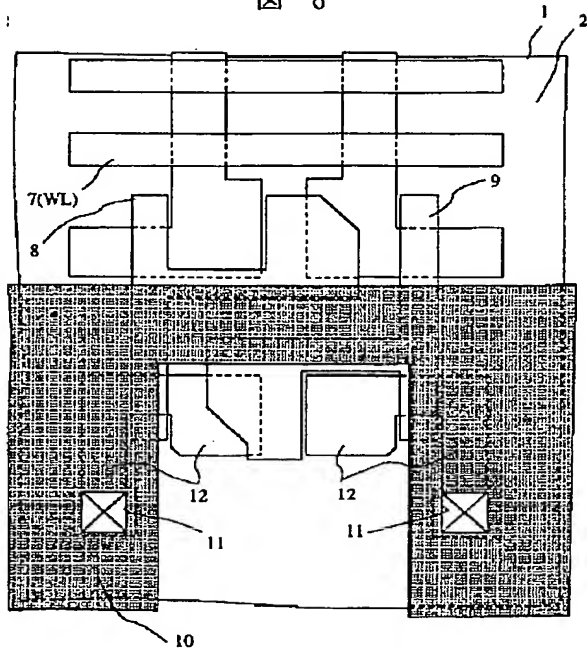
【図 5】

図 5



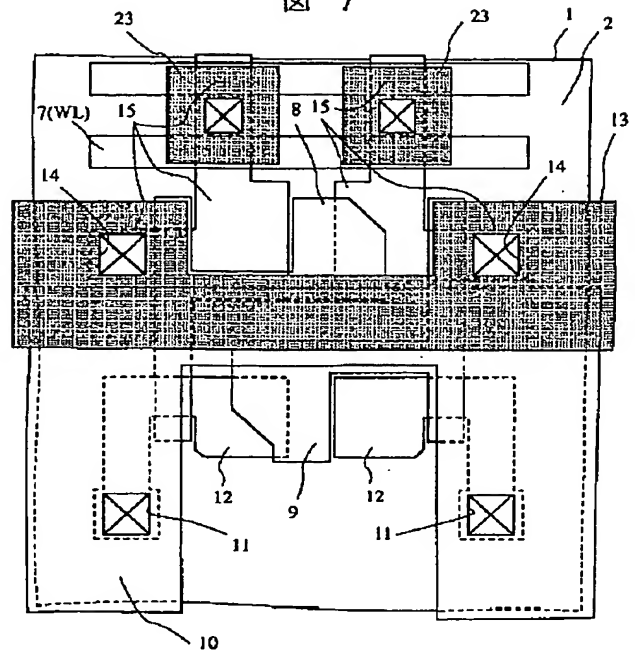
【図 6】

図 6



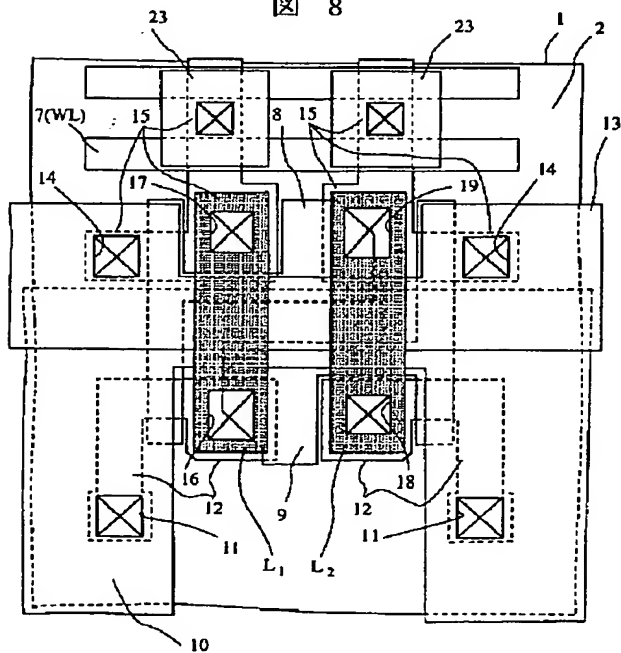
【図 7】

図 7



【図 8】

図 8



【図 9】

図 9

データ線

局所配線

 $\pm C_s$
 基準電圧線

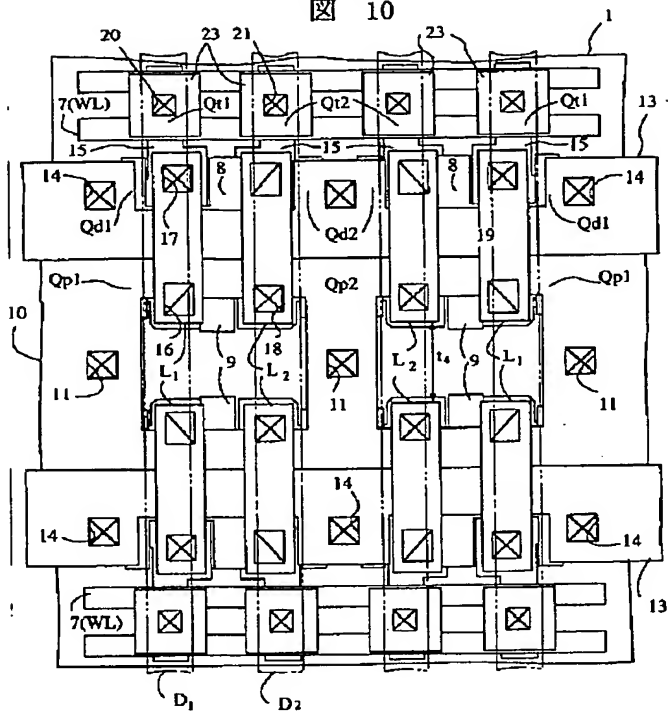
電源電圧線

ゲート電極

半導体基板

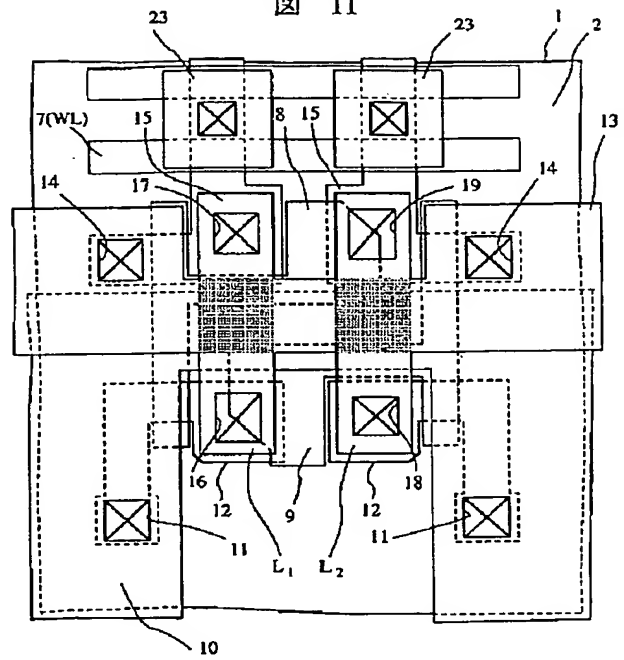
【図 10】

図 10



【図 11】

図 11

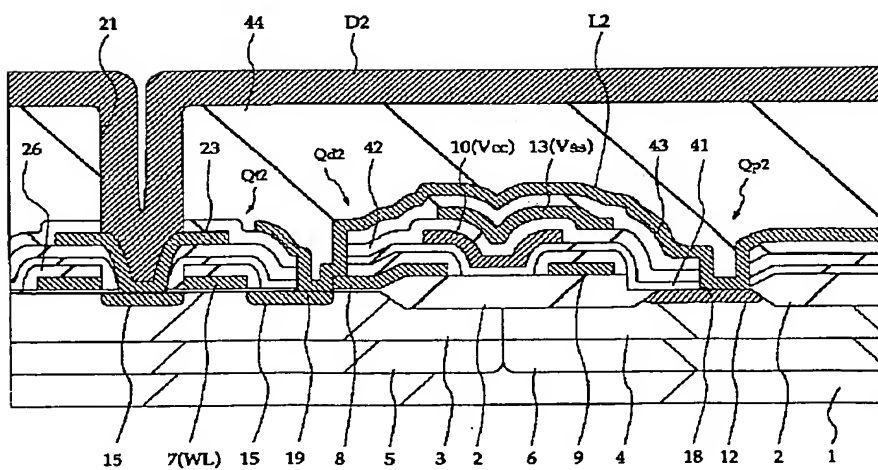


【図 19】

図 19

【図 12】

図 12



データ線

局所配線

Cs

電源電圧線

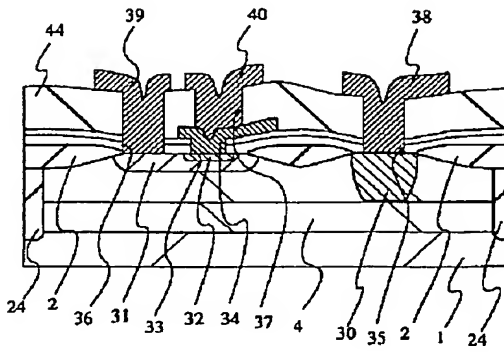
基準電圧線

ゲート電極

半導体基板

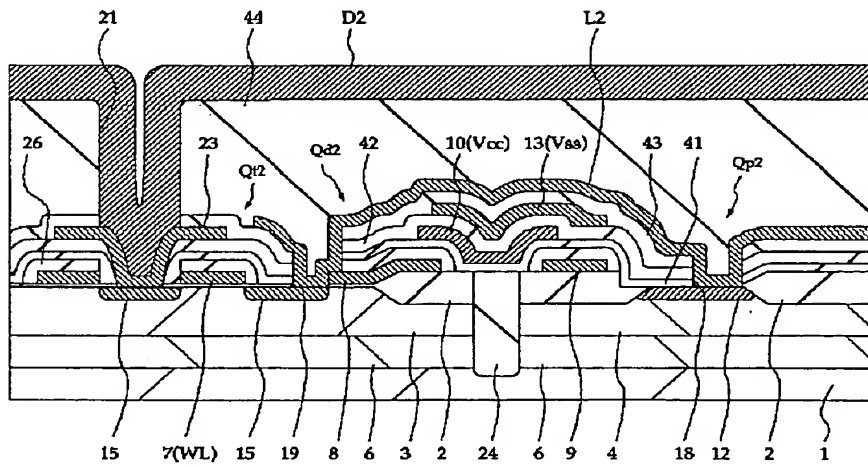
【図 1 3】

図 13



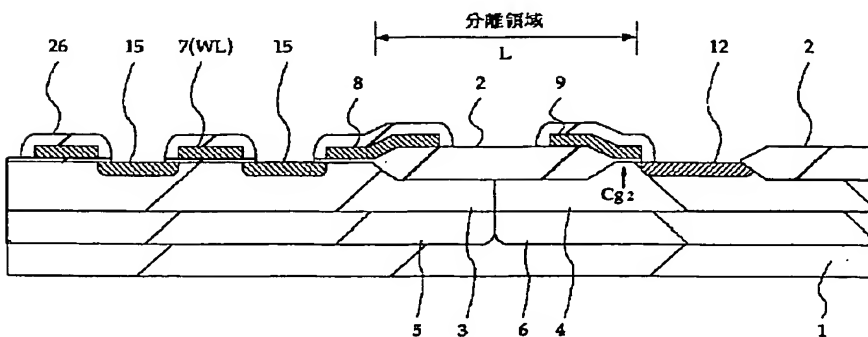
【図 1 4】

図 14



【図 2 7】

図 27



【図 2 3】

図 23

データ線

基準電圧線

 $\pm C_s$

局所配線

 $\pm C_s$

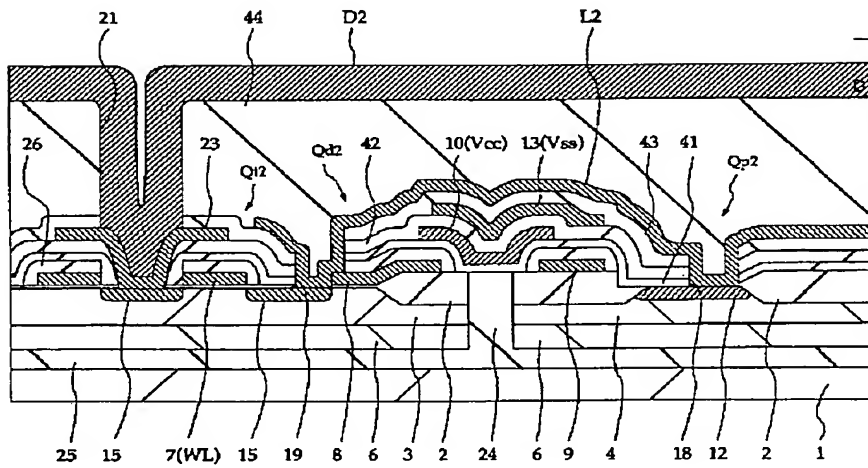
電源電圧線

ゲート電極

半導体基板

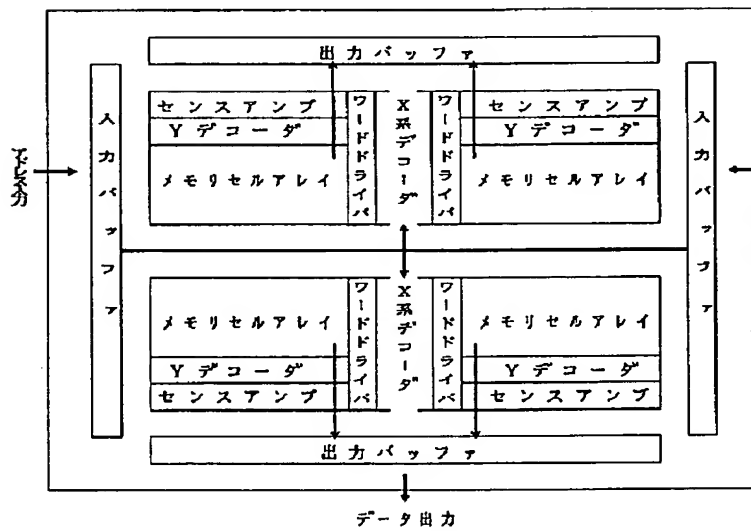
【図 15】

図 15



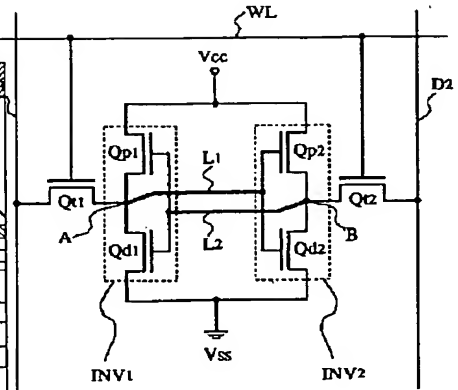
【図 16】

図 16



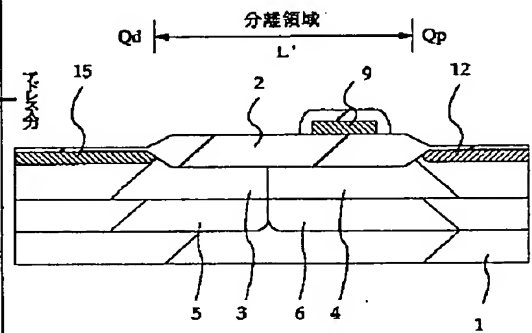
【図 36】

図 36



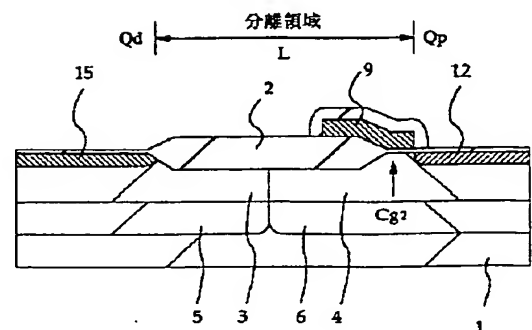
【図 30】

図 30



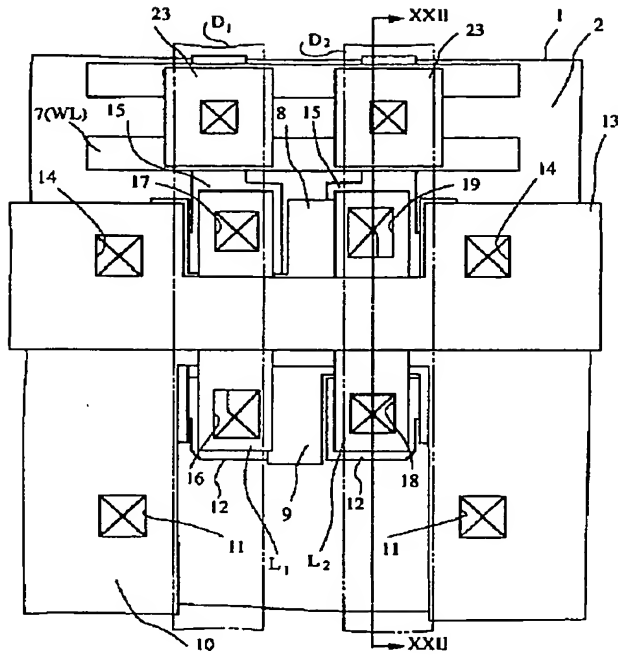
【図 31】

図 31



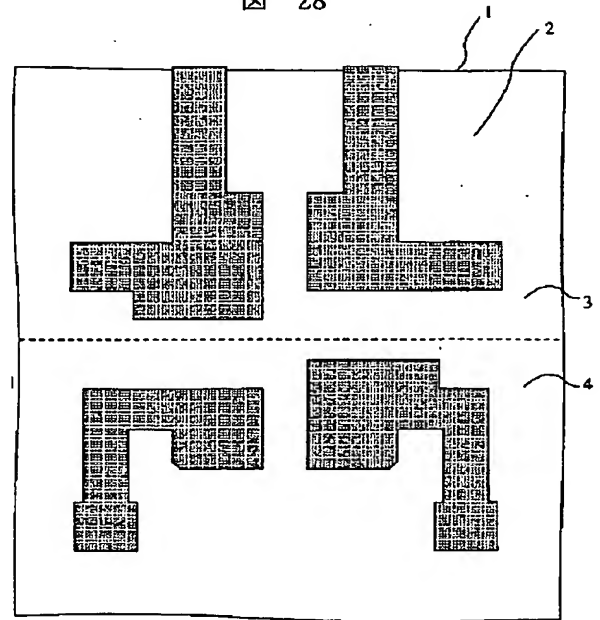
【図 2 1】

図 21



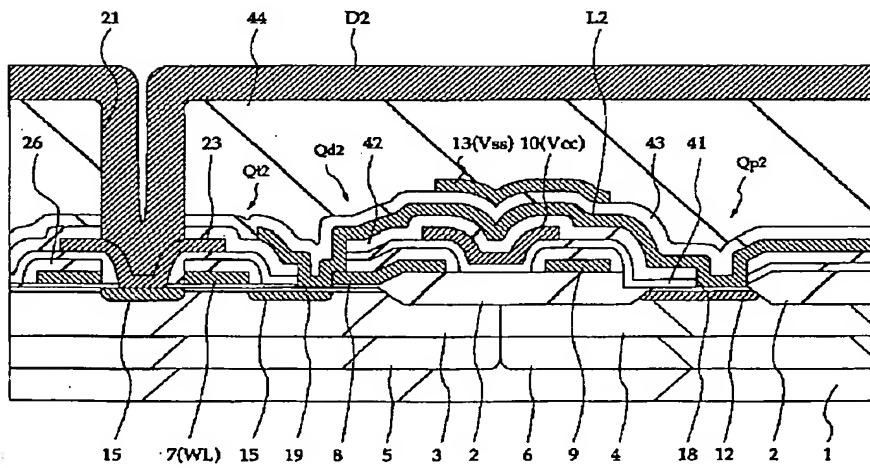
【図 2 8】

図 28



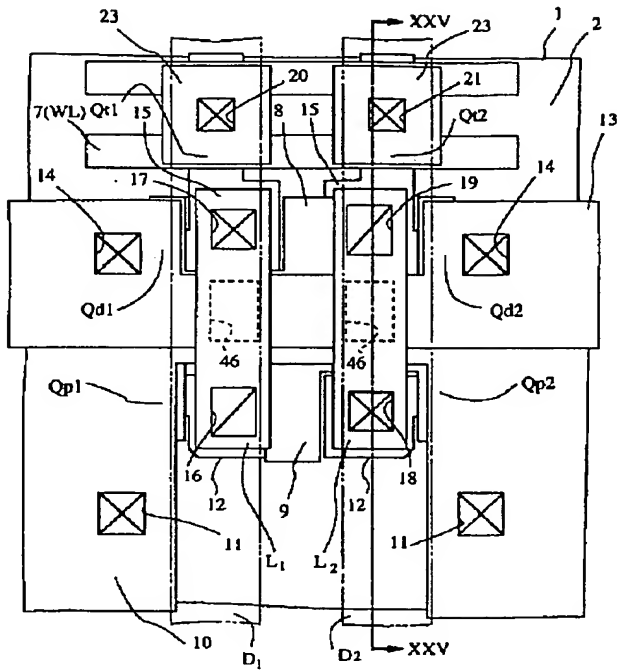
【図 2 2】

図 22



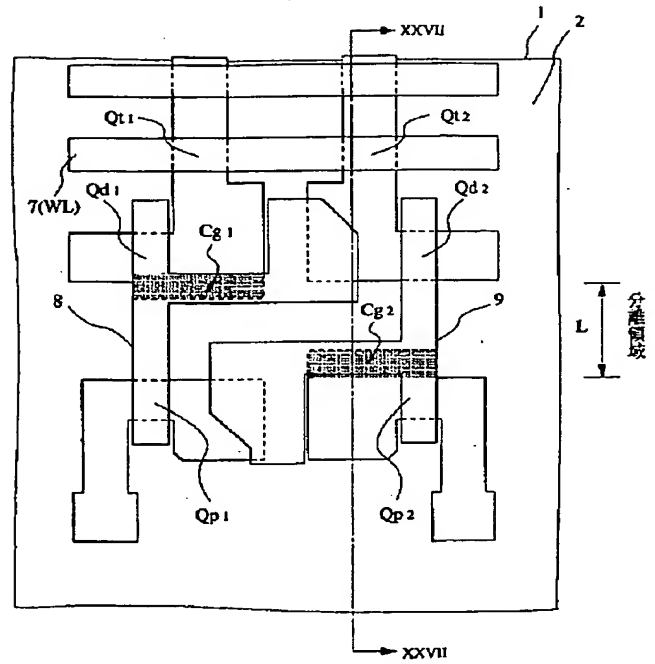
【図 2 4】

図 24



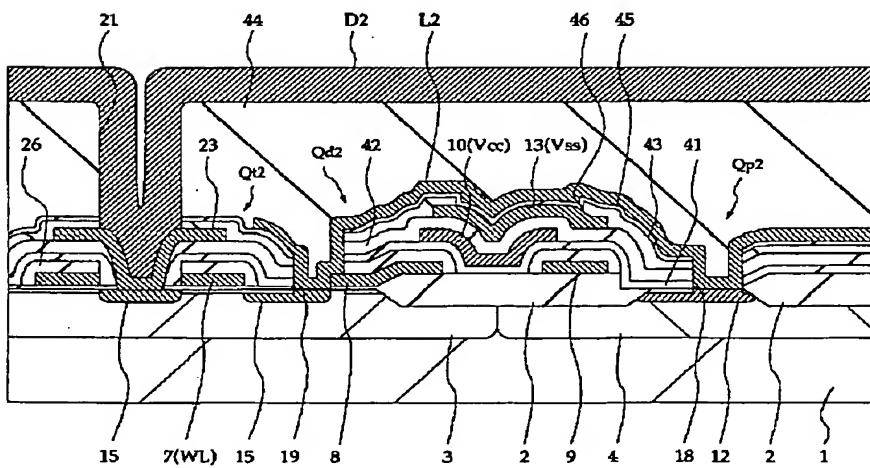
【図 2 6】

図 26



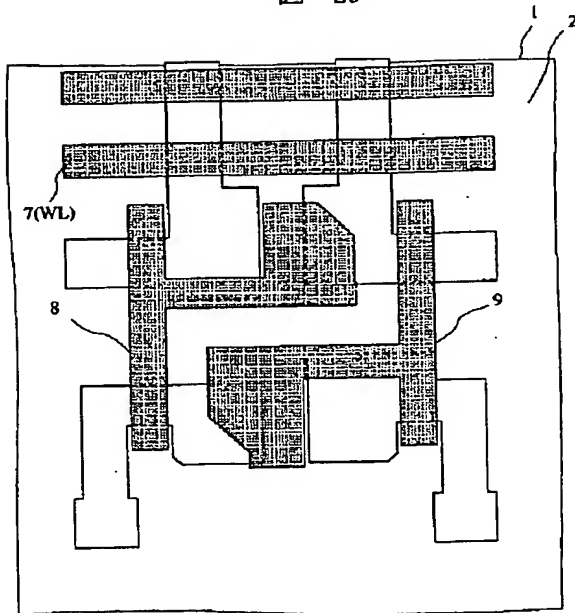
【図 2 5】

図 25



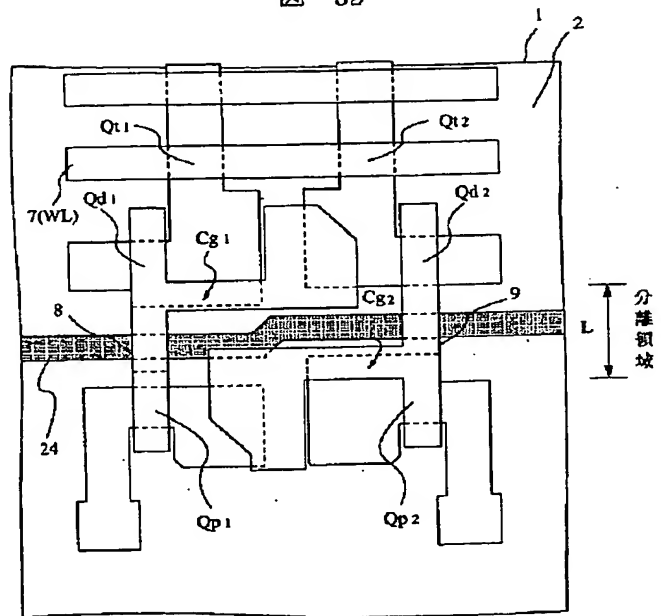
【図 2 9】

図 29



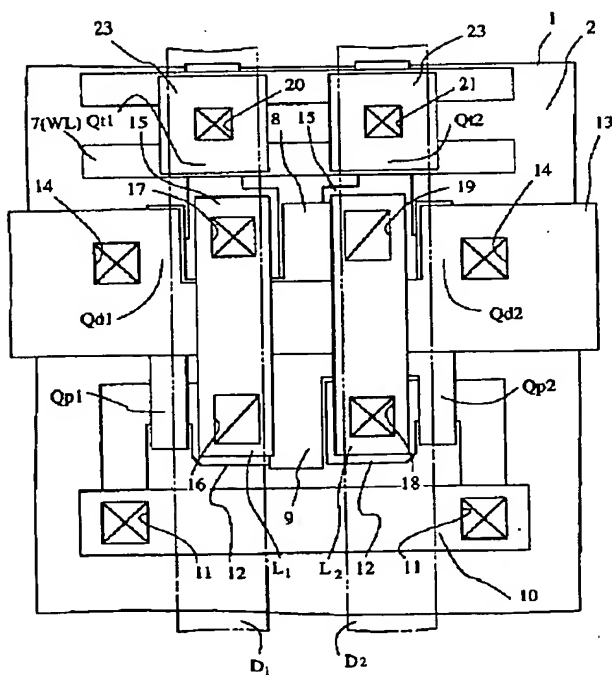
【図 3 2】

図 32



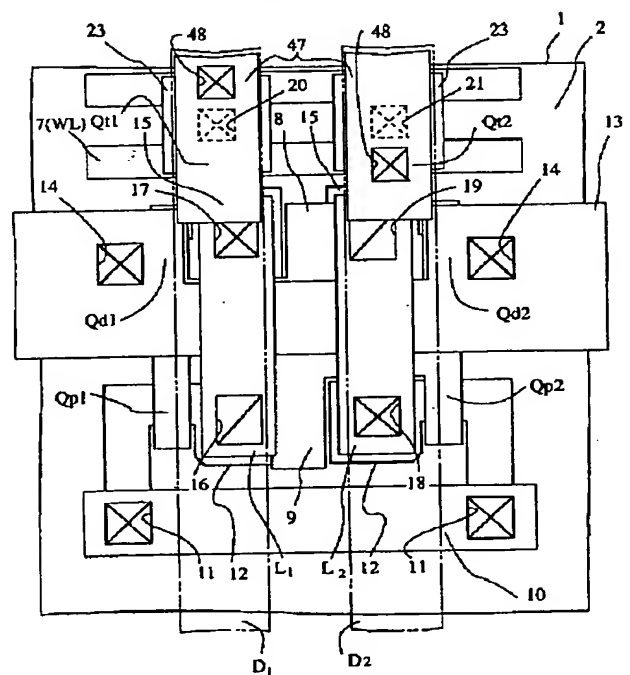
【図 3 3】

図 33



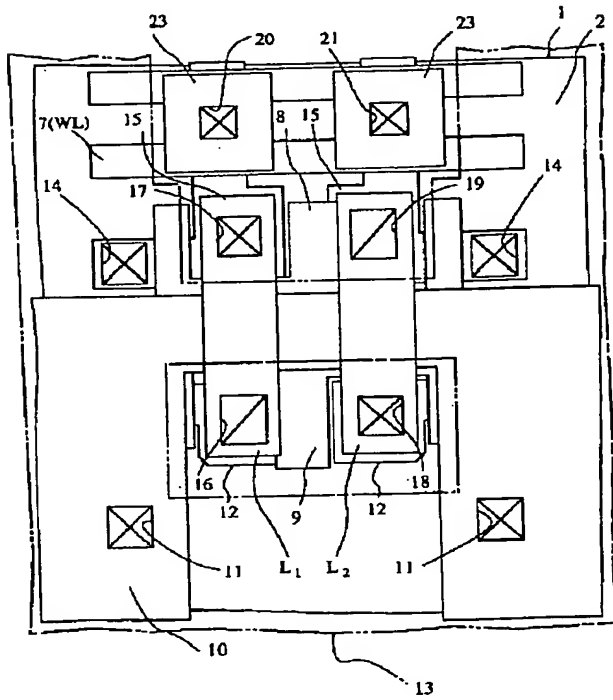
【図 3 4】

図 34



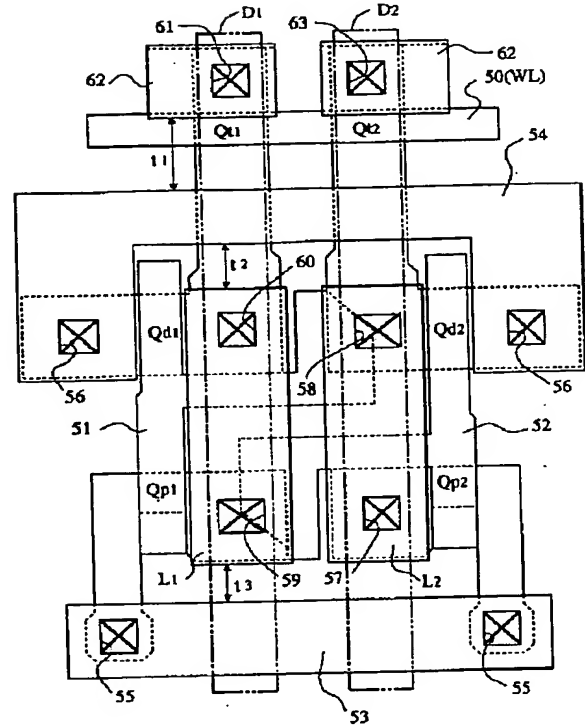
【図 35】

図 35



【図 37】

図 37



【図 38】

図 38

